

Docket No.: 67161-045

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Masatoshi TAYA

Serial No.:

Group Art Unit:

Filed: July 03, 2003

Examiner:

For: SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

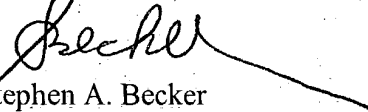
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-031185, filed February 7, 2003,**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:km  
Facsimile: (202) 756-8087  
**Date: July 3, 2003**



日 本 国 特 許 庁

JAPAN PATENT OFFICE

67161-045  
Masatoshi Taya  
July 3, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月 7日

出 願 番 号

Application Number:

特願2003-031185

[ST.10/C]:

[JP2003-031185]

出 願 人

Applicant(s):

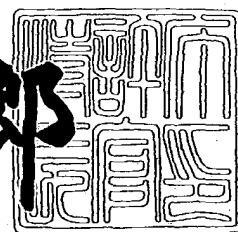
三菱電機株式会社



2003年 3月 4日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3013379

【書類名】 特許願

【整理番号】 541475JP01

【提出日】 平成15年 2月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8234  
H01L 21/8238  
H01L 27/088  
H01L 27/092  
H01L 29/78

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

【氏名】 田矢 真敏

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板の主表面に形成された第 1 導電型の第 1 不純物領域と、

前記第 1 不純物領域の表面に形成された第 1 分離絶縁膜と、

前記第 1 分離絶縁膜の直下に位置する前記第 1 不純物領域の部分に形成された第 2 導電型の第 2 不純物領域と、

前記第 1 不純物領域の部分の表面に前記第 1 分離絶縁膜と距離を隔てて形成された第 2 導電型の第 3 不純物領域と、

前記第 1 分離絶縁膜を挟んで前記第 3 不純物領域が位置する側とは反対側の前記第 1 不純物領域の部分の表面に、前記第 1 分離絶縁膜と距離を隔てて形成された第 2 導電型の第 4 不純物領域と、

前記第 2 不純物領域と前記第 3 不純物領域とによって挟まれた前記第 1 不純物領域の部分上に形成された第 1 電極部と、

前記第 2 不純物領域と前記第 4 不純物領域とによって挟まれた前記第 1 不純物領域の部分上に形成された第 2 電極部と  
を備えた半導体装置。

【請求項 2】 前記第 1 分離絶縁膜に対して前記第 3 不純物領域が位置する側の前記第 1 不純物領域の部分の表面に前記第 1 分離絶縁膜と距離を隔てて形成された第 2 分離絶縁膜と、

前記第 1 分離絶縁膜に対して前記第 4 不純物領域が位置する側の前記第 1 不純物領域の部分の表面に前記第 1 分離絶縁膜と距離を隔てて形成された第 3 分離絶縁膜と  
を備え、

前記第 3 不純物領域は、

前記第 2 分離絶縁膜の直下に位置する前記第 1 不純物領域の部分に形成された所定の不純物濃度を有する第 1 濃度領域と、

前記第 1 濃度領域と電氣的に接続されて前記第 2 分離絶縁膜に対して前記第 1

分離絶縁膜とは遠ざかる方向に向かって形成され、前記第 1 濃度領域よりも高い不純物濃度を有する第 2 濃度領域とを含み、

前記第 4 不純物領域は、

前記第 3 分離絶縁膜の直下に位置する前記第 1 不純物領域の部分に形成された所定の不純物濃度を有する第 3 濃度領域と、

前記第 3 濃度領域と電氣的に接続されて前記第 3 分離絶縁膜に対して前記第 1 分離絶縁膜とは遠ざかる方向に向かって形成され、前記第 3 濃度領域よりも高い不純物濃度を有する第 4 濃度領域とを含む、請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 不純物領域、前記第 3 不純物領域および前記第 4 不純物領域はウェルとしてそれぞれ形成された、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記第 1 電極部および前記第 2 電極部は、前記第 1 不純物領域の表面を横切るようにそれぞれ形成され、

前記第 1 電極部の直下に位置する第 1 チャネル領域における、前記第 1 電極部が前記第 1 不純物領域の表面を横切る部分の長さに対応するチャネル幅は、前記第 2 電極部の直下に位置する第 2 チャネル領域における、前記第 2 電極部が前記第 1 不純物領域の表面を横切る長さに対応するチャネル幅よりも短く設定され、

前記第 2 不純物領域では、前記第 2 不純物領域における前記第 1 電極部および前記第 2 電極部が延在する方向に沿った幅が、前記第 1 チャネル領域の側に位置する部分から前記第 2 チャネル領域の側に位置する部分にかけて滑らかに変化している、請求項 1 または 2 に記載の半導体装置。

【請求項 5】 前記第 1 電極部および前記第 2 電極部は、前記第 1 不純物領域の表面を横切るようにそれぞれ形成され、

前記第 1 電極部が前記第 1 不純物領域の表面を横切る部分の長さに対応する前記第 1 チャネル領域のチャネル幅は、前記第 2 電極部が前記第 1 不純物領域の表面を横切る長さに対応する前記第 2 チャネル領域のチャネル幅よりも短く設定され、

前記第 2 不純物領域では、前記第 2 不純物領域における前記第 1 電極部および前記第 2 電極部が延在する方向に沿った幅が、前記第 1 チャネル領域の側に位置する部分と前記第 2 チャネル領域の側に位置する部分との間において急峻に変化する部分が設けられ、

前記第 2 電極部は、前記第 2 不純物領域における前記急峻に変化する部分を覆うように形成された、請求項 1 または 2 に記載の半導体装置。

【請求項 6】 半導体基板の主表面に形成された第 1 導電型の第 1 不純物領域と、

前記第 1 不純物領域の表面に形成された分離絶縁膜と、

前記分離絶縁膜の直下に位置する前記第 1 不純物領域の部分に形成された第 2 導電型の第 2 不純物領域と、

前記第 2 不純物領域と電氣的に接続され、前記分離絶縁膜から離れる方向に向かって前記第 1 不純物領域の部分に形成された第 2 導電型の第 3 不純物領域と、

前記分離絶縁膜と距離を隔てて前記第 3 不純物領域が位置する側とは反対側の前記第 1 不純物領域の部分の表面に形成された第 2 導電型の第 4 不純物領域と、

前記第 2 不純物領域と前記第 4 不純物領域とによって挟まれた前記第 1 不純物領域の部分上に形成された電極部と  
を備え、

前記第 2 不純物領域では、前記電極部の側から前記第 3 不純物領域の側に至るまでの間に、前記電極部から前記第 3 不純物領域に向かう方向と略直行する方向に沿った幅がより狭くなる部分が形成された、半導体装置。

【請求項 7】 前記第 2 不純物領域における前記幅は、前記電極部の側から前記第 3 不純物領域の側にかけて滑らかに変化している、請求項 6 記載の半導体装置。

【請求項 8】 前記電極部は、前記第 2 不純物領域において前記幅が変化する部分を覆うように形成された、請求項 6 記載の半導体装置。

【請求項 9】 前記第 3 不純物領域と同電位に固定され、前記第 2 不純物領域を覆うように前記分離絶縁膜上に形成された他の電極部を備えた、請求項 6 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、高耐圧MOSトランジスタを備えた半導体装置に関するものである。

【0002】

【従来の技術】

ロジック回路やアナログ回路に高耐圧MOS (Metal Oxide Semiconductor) トランジスタが適用されている半導体装置がある。そのような半導体装置の一例として特開2001-94103号公報に記載された半導体装置について説明する。

【0003】

同公報に記載された半導体装置では、半導体基板上の所定の領域に一つのnチャネル型の高耐圧MOSトランジスタが形成されている。

【0004】

まず、P型半導体基板中にP型ウェルが形成されている。P型ウェルは高耐圧MOSトランジスタ用のウェル拡散層である。このP型ウェルの上にゲート酸化膜を介在させてゲート電極が形成されている。

【0005】

ゲート電極とドレイン拡散層との間およびゲート電極とソース拡散層との間には、LOCOS (Local Oxidation of Silicon) 酸化膜が形成されている。LOCOS酸化膜により、ゲート電極とドレイン拡散層とが表面上で電氣的に分離されるとともに、ゲート電極とソース拡散層とが表面上で電氣的に分離される。

【0006】

ゲート電極両端部下のLOCOS酸化膜の直下には、ドレイン側オフセット領域とソース側オフセット領域がそれぞれ形成されている。ドレイン拡散層の下方にドレイン側ウェルオフセット領域が形成されている。ソース拡散層の下方にソース側ウェルオフセット領域が形成されている。

【0007】

ゲート、ドレインおよびソースは、N型分離拡散層、P型分離拡散層、LOCOS酸化膜によって、P型ウェル拡散層の電位を取るための拡散層となるチャンネルストップと電氣的に分離されている。そのチャンネルストップは高耐圧MOSトランジスタを取囲むように形成されている。

## 【0008】

従来の高耐圧MOSトランジスタを備えた半導体装置は、上記のように構成されている。

## 【0009】

## 【特許文献1】

特開2001-94103号公報

## 【0010】

## 【発明が解決しようとする課題】

しかしながら、上述した従来の半導体装置では、次のような問題点があった。高耐圧MOSトランジスタをNAND回路およびNOR回路等のロジック回路に適用する場合やアナログ回路に適する場合においては、高耐圧MOSトランジスタを直列に接続する必要がある。

## 【0011】

上述した高耐圧MOSトランジスタを直列に接続させるには、一のチャンネルストップ内に形成された高耐圧MOSトランジスタのソース・ドレインと他のチャンネルストップ内に形成された高耐圧MOSトランジスタのソース・ドレインとを、たとえばアルミウム配線によって接続することになる。

## 【0012】

このとき、チャンネルストップを含む高耐圧MOSトランジスタが形成された領域（パターン）を繰り返して配置することで、高耐圧MOSトランジスタが直列に接続される。

## 【0013】

このようにして当該パターンが繰り返して配置されることで、半導体基板上に占める当該パターンの占有面積が大きくなり、半導体装置全体としてパターンレイアウトの面積が大きくなるという問題が生じた。

## 【0014】

また、高耐圧MOSトランジスタに抵抗素子が接続される回路の場合には、抵抗素子が高耐圧MOSトランジスタに接続されることから、抵抗素子にも高い耐圧が要求される。

## 【0015】

高い耐圧を確保するために抵抗素子として、たとえばLOCOS酸化膜上にポリシリコン膜からなる抵抗素子が形成される場合がある。このようにして形成された抵抗素子は、たとえばアルミニウム配線を介して高耐圧MOSトランジスタのソース・ドレインに接続されることになる。

## 【0016】

抵抗素子が高耐圧MOSトランジスタに直列接続される場合においても、LOCOS酸化膜上にポリシリコン膜からなる抵抗素子を形成するための領域を確保しなければならず、半導体装置全体としてパターンレイアウトの面積が大きくなるという問題が生じた。

## 【0017】

本発明は上記問題点を解決するためになされたものであり、その目的は、高耐圧MOSトランジスタ同志の直列接続や高耐圧MOSトランジスタと抵抗素子との直列接続のように、高耐圧MOSトランジスタを含む素子の直列接続において、パターンレイアウトの面積の増大が抑制される半導体装置を提供することである。

## 【0018】

## 【課題を解決するための手段】

本発明に係る一の半導体装置は、第1導電型の第1不純物領域と第1分離絶縁膜と第2導電型の第2不純物領域と第2導電型の第3不純物領域と第2導電型の第4不純物領域と第1電極部と第2電極部とを備えている。第1導電型の第1不純物領域は、半導体基板の主表面に形成されている。第1分離絶縁膜は第1不純物領域の表面に形成されている。第2導電型の第2不純物領域は、第1分離絶縁膜の直下に位置する第1不純物領域の部分に形成されている。第2導電型の第3不純物領域は、第1不純物領域の部分の表面に第1分離絶縁膜と距離を隔てて形

成されている。第2導電型の第4不純物領域は、第1分離絶縁膜を挟んで第3不純物領域が位置する側とは反対側の第1不純物領域の部分の表面に、第1分離絶縁膜と距離を隔てて形成されている。第1電極部は、第2不純物領域と第3不純物領域とによって挟まれた第1不純物領域の部分上に形成されている。第2電極部は、第2不純物領域と第4不純物領域とによって挟まれた第1不純物領域の部分上に形成されている。

#### 【0019】

本発明に係る他の半導体装置は、第1導電型の第1不純物領域と分離絶縁膜と第2導電型の第2不純物領域と第2導電型の第3不純物領域と第2導電型の第4不純物領域と電極部とを備えている。第1導電型の第1不純物領域は半導体基板の主表面に形成されている。分離絶縁膜は第1不純物領域の表面に形成されている。第2導電型の第2不純物領域は、分離絶縁膜の直下に位置する第1不純物領域の部分に形成されている。第2導電型の第3不純物領域は、第2不純物領域と電氣的に接続され、分離絶縁膜から離れる方向に向かって第1不純物領域の部分に形成されている。第2導電型の第4不純物領域は、分離絶縁膜と距離を隔てて第3不純物領域が位置する側とは反対側の第1不純物領域の部分の表面に形成されている。電極部は第2不純物領域と第4不純物領域とによって挟まれた第1不純物領域の部分上に形成されている。第2不純物領域では、電極部の側から第3不純物領域の側に至るまでの間に、電極部から第3不純物領域に向かう方向と略直行する方向に沿った幅がより狭くなる部分が形成されている。

#### 【0020】

##### 【発明の実施の形態】

##### 実施の形態1

本発明の実施の形態1に係る高耐圧MOSトランジスタを備えた半導体装置について説明する。図1および図2に示すように、半導体基板1上に第1不純物領域としてのウェル2が形成されている。そのウェル2の表面の所定の領域に、素子分離絶縁膜3a～3eがそれぞれ形成されている。

#### 【0021】

素子分離絶縁膜3a, 3bによって挟まれたウェル2の表面には、第4不純物

領域としてのドレイン領域 4 a が形成されている。その素子分離絶縁膜 3 a, 3 b の直下のウェル 2 の領域には、ドレインの電界を緩和するための第 4 不純物領域としてのドレイン電界緩和層 5 c が形成されている。

## 【 0 0 2 2 】

一方、素子分離絶縁膜 3 d, 3 e によって挟まれたウェル 2 の表面には、第 3 不純物領域としてのソース領域 4 b が形成されている。その素子分離絶縁膜 3 d, 3 e の直下のウェル 2 の領域には、ソースの電界を緩和するための第 3 不純物領域としてのソース電界緩和層 5 b が形成されている。

## 【 0 0 2 3 】

そして、素子分離絶縁膜 3 c の直下のウェル 2 の領域には、第 2 不純物領域としてのソース・ドレイン領域 5 a が形成されている。素子分離絶縁膜 3 b, 3 c によって挟まれたウェル 2 の表面上には、ゲート絶縁膜 6 b を介在させて第 2 電極部としてのゲート電極 7 b が形成されている。

## 【 0 0 2 4 】

また、素子分離絶縁膜 3 c, 3 d によって挟まれたウェル 2 の表面上には、ゲート絶縁膜 6 a を介在させて第 1 電極部としてのゲート電極 7 a が形成されている。

## 【 0 0 2 5 】

ゲート電極 7 a, 7 b を覆うように半導体基板 1 上にシリコン酸化膜 8 が形成されている。そのシリコン酸化膜にドレイン領域 4 a、ソース 4 b の表面をそれぞれ露出するコンタクトホール 8 b, 8 a がそれぞれ形成されている。

## 【 0 0 2 6 】

シリコン酸化膜 8 上には、アルミニウム配線 9, 1 0, 1 2, 1 3 が形成されている。ドレイン領域 4 a はコンタクト部 1 0 a を介してアルミニウム配線 1 0 と電氣的に接続されている。一方、ソース領域 4 b はコンタクト部 9 a を介してアルミニウム配線 9 と電氣的に接続されている。

## 【 0 0 2 7 】

また、ゲート電極 7 a はアルミニウム配線 1 2 とコンタクト部 1 2 a を介して電氣的に接続されている。ゲート電極 7 b はアルミニウム配線 1 3 とコンタクト

部13aを介して電氣的に接続されている。

【0028】

一のMOSトランジスタT1は、ゲート電極7a、ソース領域4b、ソース電界緩和層5bおよびソース・ドレイン領域5aを含んで構成される。他のMOSトランジスタT2は、ゲート電極7b、ドレイン領域4a、ドレイン電界緩和層5cおよびソース・ドレイン領域5aを含んで構成される。

【0029】

上述した半導体装置では、素子分離絶縁膜3cの直下のウェル2の領域に形成されたソース・ドレイン領域5aは、一のMOSトランジスタT1に対してはドレイン領域となり、他のMOSトランジスタT2に対してはソース領域となる。そのソース・ドレイン領域5aを介して、図3および図4に示すように、一のMOSトランジスタT1と他のMOSトランジスタT2が直列に接続されている。

【0030】

なお、図3では、MOSトランジスタT1、T2がnチャネル型MOSトランジスタの場合の等価回路が示され、図4では、MOSトランジスタT1、T2がpチャネル型MOSトランジスタの場合の等価回路が示されている。

【0031】

このように、本半導体装置では、一のMOSトランジスタT1と他のMOSトランジスタT2とに共通のソース・ドレイン領域5aを介して、一のMOSトランジスタT1と他のMOSトランジスタT2が直列に接続されている。

【0032】

これにより、個々のMOSトランジスタを直列に接続させた半導体装置と比べると、本半導体装置では、MOSトランジスタT1、T2の占有面積を低減することができて、半導体装置におけるパターンレイアウトの面積の増大を抑制することができる。

【0033】

また、ソース電界緩和層5b、ドレイン電界緩和層5cおよびソース・ドレイン領域5aのそれぞれの不純物濃度は、ドレイン領域4aおよびソース領域4bの不純物濃度よりも低く設定されていることによって、これらの領域とウェル2

との接合に対して高い接合耐圧をもたせることができる。

【0034】

実施の形態2

前述した半導体装置では、素子分離絶縁膜3a～3eのそれぞれの直下に位置するウェル2の領域の部分に、ドレイン電界緩和層5c、ソース・ドレイン領域5aおよびソース電界緩和層5bが形成される場合を例に挙げて説明した。

【0035】

ここでは、ドレイン電界緩和層、ソース・ドレイン領域およびソース電界緩和層がウェルとして形成される場合を例に挙げて説明する。

【0036】

図5および図6に示すように、素子分離絶縁膜3a, 3bおよびドレイン領域4aの直下の領域には、半導体基板1の表面に達するウェル55cが形成されている。

【0037】

また、素子分離絶縁膜3cの直下の領域には、半導体基板1の表面に達するウェル55aが形成されている。さらに、素子分離絶縁膜3d, 3eおよびソース領域4bの直下の領域には、半導体基板1の表面に達するウェル55bが形成されている。半導体基板1は、ウェル55a～55cの導電型とは反対の導電型に設定されている。

【0038】

したがって、図7に示される半導体装置の等価回路においては、直列に接続された一のMOSトランジスタT1と他のMOSトランジスタT2におけるバックゲートは半導体基板1の電位と同じ電位になる。

【0039】

また、ウェル55a～55cの不純物濃度は、ドレイン領域4aおよびソース領域4bの不純物濃度よりも低く設定されている。

【0040】

なお、これ以外の構成については図1に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

## 【 0 0 4 1 】

上述した半導体装置では、実施の形態 1 において説明した効果に加えて次のような効果が得られる。

## 【 0 0 4 2 】

すなわち、たとえば半導体基板 1 として p 型の半導体基板を用いて n チャネル型の MOS トランジスタを形成する場合には、n 型のウェル 5 5 a ~ 5 5 c を形成することで、n 型の電界緩和層を形成する必要がなくなって、工程の簡略化を図ることができる。

## 【 0 0 4 3 】

## 実施の形態 3

ここでは、ゲート幅（チャネル幅）が互いに異なる 2 つの MOS トランジスタを直列に接続させた半導体装置を例に挙げて説明する。

## 【 0 0 4 4 】

図 8 に示すように、MOS トランジスタ T 1 におけるチャネル W 1 は、MOS トランジスタ T 2 におけるチャネル幅 W 2 よりも短く設定されている。ソース・ドレイン領域 5 a における各ゲート電極 7 a, 7 b が延在する方向に沿った幅においては、点線枠 A に示すように、チャネル領域 1 1 b の側に位置する部分からチャネル領域 1 1 a の側に位置する部分にかけて滑らかに変化する部分がある。

## 【 0 0 4 5 】

なお、これ以外の構成については図 1 に示す半導体装置の構成と同様なので、同一部材には同一符号を付しその説明を省略する。

## 【 0 0 4 6 】

上述した半導体装置では、実施の形態 1 において説明した効果に加えて次のような効果が得られる。

## 【 0 0 4 7 】

まず、MOS トランジスタ T 1, T 2 におけるチャネル幅 W 1, W 2 が互いに異なることで、ソース・ドレイン領域 5 a においては、チャネル領域 1 1 b の側に位置する部分におけるゲート電極 7 b が延在する方向に沿った幅と、チャネル領域 1 1 a の側に位置する部分におけるゲート電極 7 a が延在する方向に沿った

幅とが異なることになる。

【0048】

このとき、図9における点線枠Bに示すように、ソース・ドレイン領域5aにおいて滑らかに変化する部分がなく約 $270^\circ$ の角度をもって急峻に変化する半導体装置の場合では、この急峻に変化する部分においてソース・ドレイン領域5aとウェル2との接合耐圧が著しく低下することになる。

【0049】

これに対して、本半導体装置では、ソース・ドレイン領域5aにおいて、チャネル領域11bの側に位置する部分からチャネル領域11aの側に位置する部分にかけて滑らかに変化する部分がある。

【0050】

これにより、ソース・ドレイン領域5aとウェル2との間において電界が集中する部分がなくなって、ソース・ドレイン領域5aとウェル2との接合耐圧を向上することができる。

【0051】

実施の形態4

実施の形態3では、ゲート幅（チャネル幅）が互いに異なる2つのMOSトランジスタを直列に接続させた半導体装置の場合において、一方のチャネル領域の側に位置する部分から他方のチャネル領域の側に位置する部分にかけてソース・ドレイン領域の幅が急峻に変化する部分があると、その部分においてソース・ドレイン領域とウェルとの接合耐圧が著しく低下することを述べた。

【0052】

ここでは、そのようなソース・ドレイン領域の幅が急峻に変化する部分を有していても、電界が緩和される半導体装置について説明する。

【0053】

図10に示すように、MOSトランジスタT1におけるチャネル幅W1は、MOSトランジスタT2におけるチャネル幅W2よりも短く設定されている。ソース・ドレイン領域5aにおいては、点線枠Bに示すように、チャネル領域11bの側に位置する部分からチャネル領域11aの側に位置する部分にかけて、その

幅が急峻に変化する部分が設けられている。

【0054】

ゲート電極77bは、チャネル領域11bに加えてその急峻に変化する部分も覆うように形成されている。なお、これ以外の構成については図1に示す半導体装置の構成と同様なので、同一部材には同一符号を付しその説明を省略する。

【0055】

上述した半導体装置では、実施の形態1において説明した効果に加えて次のような効果が得られる。

【0056】

まず、図11は、nチャネル型のMOSトランジスタT1、T2を直列に接続させた場合の等価回路を示し、図12は、pチャネル型のMOSトランジスタT1、T2を直列に接続させた場合の等価回路を示す。

【0057】

図11および図12において、点線枠Bに対応する部分は、2つのMOSトランジスタT1、T2に共通のソース・ドレイン領域5aの部分である。

【0058】

たとえば、図11に示す場合では、ソース・ドレイン領域5aに逆バイアス電圧が印加されるのは、ドレイン領域4a（アルミニウム配線10）に逆バイアス電圧が印加される状態でMOSトランジスタT2がオンする場合のみである。

【0059】

nチャネル型MOSトランジスタT1、T2の場合では、ドレイン領域4aの電圧がVddのときにnチャネル型のMOSトランジスタT2がオン状態（ゲート電極77bの電圧=Vdd）となる。

【0060】

これにより、ソース・ドレイン領域5aの電圧は、ドレイン領域4aと同じ電圧Vddとなる。このとき、ソース・ドレイン領域5aとPN接合を形成するウェル2は、ソース領域4bと同じ電圧（GND）になり、逆バイアス電圧（Vdd）が印加された状態になる。

【0061】

つまり、ソース・ドレイン領域 5 a に逆バイアス電圧が印加されるときに、ゲート電極 77 b の電圧とソース・ドレイン領域 5 a の電圧とが同じ電圧になる。

【0062】

本半導体装置では、図 10 に示すように、ソース・ドレイン領域 5 a とウェル 2 との接合耐圧が小さくなる急峻な部分を覆うようにゲート電極 77 b が形成されている。

【0063】

ソース・ドレイン領域 5 a に逆バイアス電圧が印加される場合には、このゲート電極 77 b にもソース・ドレイン領域 5 a と同じ電圧が印加されることになる。ゲート電圧 77 b に当該電圧が印加されることによって、半導体基板 1 のウェル 2 の側に向かって電界が生じる。

【0064】

そして、その電界によってソース・ドレイン領域 5 a とウェル 2 との界面から延びる空乏層がより広げられることになる。上述した作用は、図 12 に示す場合についても同様にあてはまる。

【0065】

これにより、ソース・ドレイン領域 5 a において急峻な部分が形成されていても、MOS トランジスタにおける耐圧を確保することができる。

【0066】

#### 実施の形態 5

本発明の実施の形態 5 に係る半導体装置として、MOS トランジスタと抵抗素子とが直列に接続された半導体装置を例に挙げて説明する。

【0067】

図 13 および図 14 に示すように、半導体基板 1 上に第 1 不純物領域としてのウェル 2 が形成されている。そのウェル 2 の表面の所定の領域に、素子分離絶縁膜 3 a ~ 3 d がそれぞれ形成されている。

【0068】

素子分離絶縁膜 3 a, 3 b によって挟まれたウェル 2 の表面には、第 4 不純物領域としてのソース・ドレイン領域 4 c が形成されている。その素子分離絶縁膜

3 a, 3 b の直下のウェル 2 の領域には、ソース・ドレインの電界を緩和するための第 4 不純物領域としてのソース・ドレイン電界緩和層 5 e が形成されている。

【0069】

一方、素子分離絶縁膜 3 c, 3 d によって挟まれたウェル 2 の表面には、第 3 不純物領域としてのソース・ドレイン領域 4 d が形成されている。その素子分離絶縁膜 3 c, 3 d の直下のウェル 2 の領域には、ソース・ドレインの電界を緩和するための第 2 不純物領域としてのソース・ドレイン電界緩和層 5 d が形成されている。

【0070】

素子分離絶縁膜 3 b, 3 c によって挟まれたウェル 2 の表面上に、ゲート絶縁膜 6 c を介在させてゲート電極 7 c が形成されている。

【0071】

ゲート電極 7 c を覆うように半導体基板 1 上にシリコン酸化膜 8 が形成されている。そのシリコン酸化膜 8 にソース・ドレイン領域 4 c, 4 d の表面をそれぞれ露出するコンタクトホール 8 d, 8 c がそれぞれ形成されている。

【0072】

シリコン酸化膜 8 上には、アルミニウム配線 1 5, 1 4, 1 6 が形成されている。ソース・ドレイン領域 4 c は、コンタクト部 1 5 a を介してアルミニウム配線 1 5 と電氣的に接続されている。

【0073】

一方、ソース・ドレイン領域 4 d はコンタクト部 1 4 a を介してアルミニウム配線 1 4 と電氣的に接続されている。また、ゲート電極 7 c はコンタクト部 1 6 a を介してアルミニウム配線 1 6 と電氣的に接続されている。

【0074】

MOS トランジスタ T は、ゲート電極 7 a、ソース・ドレイン領域 4 c, 4 d およびソース・ドレイン電界緩和層 5 e, 5 d を含んで構成される。

【0075】

通常、MOS トランジスタを形成する場合には、トランジスタとしての能力が

向上するようにソース・ドレイン領域4c, 4dはチャネル領域に近づけて形成される。

【0076】

上述した半導体装置では、1対のソース・ドレイン領域4c, 4dのうちの一方のソース・ドレイン領域4dが、チャネル領域11cから所定の距離を隔てて形成されている。このとき、この所定の距離は、ソース・ドレイン領域4c, 4dよりも不純物濃度の低いソース・ドレイン電界緩和層5dにおいて電流が流れる方向に沿った長さに対応することになる。

【0077】

不純物濃度のより低いソース・ドレイン電界緩和層5dの長さがより長くなることで、ソース・ドレイン電界緩和層5dが抵抗素子Rとしての機能を果たすことになる。

【0078】

特に、図14に示すように、ソース・ドレイン電界緩和層5dにおいてチャネル領域11cからソース・ドレイン領域4dに向かう方向と略直交する方向の長さ（幅）がより狭められることで、抵抗素子Rの抵抗値をより高くすることができる。

【0079】

このように、本半導体装置では、1つのMOSトランジスタTにおけるソース・ドレイン電界緩和層5dが抵抗素子Rとしての機能を有して、MOSトランジスタTと抵抗素子Rとが直列に接続されていることになる。

【0080】

これにより、1つのMOSトランジスタと抵抗素子とをアルミニウム配線により直列に接続させた半導体装置や、直列に接続された2つのMOSトランジスタのうちの一方のMOSトランジスタを常時ON状態とさせて、このON状態とされたMOSトランジスタをオン抵抗とした半導体装置の場合と比べると、本半導体装置では、MOSトランジスタTと抵抗素子Rの占有面積を低減することができて、半導体装置におけるパターンレイアウトの面積の増大を抑制することができる。

## 【0081】

なお、上述した半導体装置では、1対のソース・ドレイン電界緩和層5d, 5eのうちの一方のソース・ドレイン領域5dについて抵抗素子Rを形成する場合を例に挙げて説明したが、双方のソース・ドレイン領域5d, 5eについて抵抗素子を形成するようにしてもよい。

## 【0082】

## 実施の形態6

ここでは、実施の形態5において説明した半導体装置の接合耐圧をさらに向上させる半導体装置の一例について説明する。

## 【0083】

図15中の点線枠Aに示すように、抵抗素子Rとしての機能を有するソース・ドレイン電界緩和層5dにおいて、幅の狭い部分から幅の広い部分にかけて滑らかに変化する部分が形成されている。

## 【0084】

なお、これ以外の構成については図13および図14に示す構成と同様なので、同一部材には同一符号を付しその説明を省略する。

## 【0085】

上述した半導体装置では、実施の形態5において説明した効果に加えて次のような効果が得られる。

## 【0086】

すなわち、ソース・ドレイン電界緩和層5dにおいてその幅が滑らかに変化する部分が形成されていることによって、幅が急峻に変化する場合と比べて、ソース・ドレイン電界緩和層5dとウェル2との間において電界が集中する部分がなくなる。その結果、ソース・ドレイン電界緩和層5dとウェル2との接合耐圧を向上することができる。

## 【0087】

## 実施の形態7

ここでは、実施の形態5において説明した半導体装置の接合耐圧をさらに向上させる半導体装置の他の例について説明する。

## 【0088】

図16に示すように、抵抗素子Rとしての機能を有するソース・ドレイン電界緩和層5dにおいては、図14に示された半導体装置の場合と同様に、その幅が急峻に変化する部分が設けられている。

## 【0089】

ゲート電極7dは、その急峻に変化する部分を覆うように形成されている。なお、これ以外の構成については図13および図14に示す半導体装置の構成と同様なので、同一部材には同一符号を付しその説明を省略する。

## 【0090】

上述した半導体装置では、実施の形態5において説明した効果に加えて次のような効果が得られる。

## 【0091】

まず、図17は、nチャネル型のMOSトランジスタTと抵抗素子Rを直列に接続させた場合の等価回路を示し、図18は、pチャネル型のMOSトランジスタTと抵抗素子Rを直列に接続させた場合の等価回路を示す。

## 【0092】

図17および図18における抵抗素子Rは、図16におけるソース・ドレイン電界緩和層5dに対応する。抵抗素子Rのチャネル領域側の部分（点C）に高い逆バイアス電圧が印加されるのは、ソース・ドレイン領域4cに逆バイアス電圧が印加された状態でMOSトランジスタTがオンする場合のみである。

## 【0093】

たとえば、図17に示されたnチャネル型MOSトランジスタTの場合において、ソース・ドレイン領域4cに電圧V<sub>dd</sub>が印加され、ゲート電極7dに電圧V<sub>dd</sub>が印加される場合を考える。

## 【0094】

この場合では、nチャネル型MOSトランジスタTはオン状態となり、抵抗素子Rの点Cの部分の電圧もほぼV<sub>dd</sub>となる。

## 【0095】

一方、抵抗素子RとPN接合を形成するウェル2の電圧はGND電圧である。

そのため、抵抗素子Rの点Cには逆バイアス電圧が印加されることになる。つまり、抵抗素子Rのチャネル領域側の部分に逆バイアス電圧が印加されるときには、ゲート電極7dに印加される電圧もこの逆バイアス電圧とほぼ同じになる。

【0096】

本半導体装置では、図16に示すように、抵抗素子Rにおける幅が急峻に変化する部分を覆うようにゲート電極7dが形成されている。

【0097】

抵抗素子Rのチャネル領域側（点C）の部分に逆バイアス電圧が印加されるときには、ゲート電極7dにもこの逆バイアス電圧とほぼ同じ電圧が印加されることになる。

【0098】

ゲート電極7dに当該電圧が印加されることによって、半導体基板1のウェル2の側に向かって電界が生じる。その電界によって、抵抗素子Rをなすソース・ドレイン電界緩和層5dとウェル2との界面から延びる空乏層がより広げられることになる。

【0099】

これにより、抵抗素子Rをなすソース・ドレイン領域5dにおいて急峻な部分が形成されていても、抵抗素子RおよびMOSトランジスタにおける耐圧を確保することができる。

【0100】

なお、図18に示すpチャネル型MOSトランジスタTの場合では、抵抗素子のチャネル領域側（点C）の部分に逆バイアス電圧が印加されるのは、ソース・ドレイン領域4cにたとえばGND電圧などの逆バイアス電圧が印加された状態で、pチャネル型MOSトランジスタTがオンする場合である。

【0101】

この状態のときには、nチャネル型MOSトランジスタの場合と同様に、ゲート電極7dに逆バイアス電圧と同じ電圧が印加されることになる。これにより、空乏層が広げられて、抵抗素子RおよびMOSトランジスタにおける耐圧を確保することができる。

## 【0102】

また、ソース・ドレイン電界緩和層5dではウェル2との接合耐圧の向上を図るために、その不純物濃度はできるだけ低く抑えられている。特に、不純物濃度が低い抵抗素子Rの幅がより狭い部分に高い逆バイアス電圧が印加されると、その抵抗素子Rの部分が空乏化されてしまうことがある。

## 【0103】

本半導体装置では、ゲート電極7dに印加される電圧により生じた電界によって、ソース・ドレイン電界緩和層5d（抵抗素子R）が空乏化するのが抑制されることになる。これにより、抵抗素子Rの電界依存性が低減されて安定した抵抗値を保持することができる。

## 【0104】

## 実施の形態8

ここでは、実施の形態5において説明した半導体装置の接合耐圧をさらに向上させる半導体装置のさらに他の例について説明する。

## 【0105】

まず、図19に示すように、抵抗素子Rとしての機能を有するソース・ドレイン電界緩和層5dにおいては、図14に示された半導体装置の場合と同様に、その幅が急峻に変化する部分が設けられている。

## 【0106】

その急峻に変化する部分を覆うように電極7eが形成されている。その電極7eは、ソース・ドレイン領域4dに接続されたアルミニウム配線14と電気的に接続されている。

## 【0107】

なお、これ以外の構成については図13および図14に示す半導体装置の構成と同様なので、同一部材には同一符号を付しその説明を省略する。

## 【0108】

上述した半導体装置では、実施の形態5において説明した効果に加えて次のような効果が得られる。

## 【0109】

まず、図20は、nチャネル型のMOSトランジスタTと抵抗素子Rを直列に接続させた場合の等価回路を示し、図21は、pチャネル型のMOSトランジスタTと抵抗素子Rを直列に接続させた場合の等価回路を示す。

#### 【0110】

図13に示す場合では、コンタクト部14aを介してソース・ドレイン領域4dに高い逆バイアス電圧が印加され、nチャネル型MOSトランジスタまたはpチャネル型MOSトランジスタがオフ状態であれば、抵抗素子Rの全体に高い逆バイアス電圧が印加されることになる。

#### 【0111】

本半導体装置では、図19に示すように、抵抗素子R（ソース・ドレイン電界緩和層5d）を覆うように電極7eが形成されている。その電極7eにはアルミニウム配線14と電氣的に接続されて、電極7eはソース・ドレイン領域4dの電圧と同じ電圧になる。

#### 【0112】

電極7eに印加される電圧によって、ウェル2の側に向かって電界が生じる。その電界によって、抵抗素子Rをなすソース・ドレイン電界緩和層5dとウェル2との界面から延びる空乏層がより広げられることになる。

#### 【0113】

これにより、抵抗素子Rをなすソース・ドレイン領域5dにおいて急峻な部分が形成されていても、抵抗素子RおよびMOSトランジスタにおける耐圧を確保することができる。

#### 【0114】

なお、ソース・ドレイン領域4dに高い逆バイアス電圧が印加され、nチャネル型MOSトランジスタまたはpチャネル型MOSトランジスタがオン状態の場合には、抵抗素子Rにおけるチャネル領域11c側の部分では、抵抗素子Rによる電圧降下によって逆バイアス電圧は緩和されることになる。

#### 【0115】

そのため、抵抗素子Rとウェル2との耐圧は、主に抵抗素子Rのソース・ドレイン領域14a側の部分に印加される逆バイアス電圧に依存することになる。こ

のとき、電極7eに印加される電圧により生じる電界によって空乏層がより広げられるため、MOSトランジスタがオン状態でも耐圧を向上することができる。上述した作用効果は、図21に示す場合についても同様にあてはまる。

#### 【0116】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明は上記の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0117】

##### 【発明の効果】

本発明に係る一の半導体装置によれば、まず、第2不純物領域、第3不純物領域および第1電極部を含む一のMOSトランジスタが構成され、第2不純物領域、第4不純物領域および第2電極部を含む他のMOSトランジスタが構成される。一のMOSトランジスタと他のMOSトランジスタは、両MOSトランジスタに共通の第2不純物領域を介して直列に接続されている。これにより、個々のMOSトランジスタを直列に接続させた場合と比較すると、MOSトランジスタの占有面積を低減することができて、半導体装置におけるパターンレイアウトの面積の増大を抑制することができる。

#### 【0118】

本発明に係る他の半導体装置によれば、まず、第2不純物領域、第3不純物領域、第4不純物領域および電極部を含むMOSトランジスタが構成される。そのMOSトランジスタにおける第2不純物領域が抵抗素子としての機能も果たして、MOSトランジスタに抵抗素子が直列に接続されたことになる。これにより、MOSトランジスタと抵抗素子とを、たとえばアルミニウム配線等により接続する場合等と比べると、MOSトランジスタと抵抗素子との占有面積を低減することができて、半導体装置におけるパターンレイアウトの面積の増大を抑制することができる。

##### 【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の図2に示す断面線I-

I における断面図である。

【図 2】 同実施の形態において、図 1 に示す半導体装置の平面図である。

【図 3】 同実施の形態において、図 1 および図 2 に示す半導体装置の他の等価回路を示す図である。

【図 4】 同実施の形態において、図 1 および図 2 に示す半導体装置の他の等価回路を示す図である。

【図 5】 本発明の実施の形態 2 に係る半導体装置の図 6 に示す断面線 V - V における断面図である。

【図 6】 同実施の形態において、図 5 に示す半導体装置の平面図である。

【図 7】 同実施の形態において、図 5 および図 6 に示す半導体装置の等価回路を示す図である。

【図 8】 本発明の実施の形態 3 に係る半導体装置の平面図である。

【図 9】 同実施の形態において、図 8 に示す半導体装置の効果を説明するための一平面図である。

【図 10】 本発明の実施の形態 4 に係る半導体装置の平面図である。

【図 11】 同実施の形態において、図 10 に示す半導体装置の他の等価回路を示す図である。

【図 12】 同実施の形態において、図 10 に示す半導体装置の他の等価回路を示す図である。

【図 13】 本発明の実施の形態 5 に係る半導体装置の図 14 に示す断面線 X I I I - X I I I における断面図である。

【図 14】 同実施の形態において、図 13 に示す半導体装置の平面図である。

【図 15】 本発明の実施の形態 6 に係る半導体装置の平面図である。

【図 16】 本発明の実施の形態 7 に係る半導体装置の平面図である。

【図 17】 同実施の形態において、図 16 に示す半導体装置の他の等価回路を示す図である。

【図 18】 同実施の形態において、図 16 に示す半導体装置の他の等価回路を示す図である。

【図 1 9】 本発明の実施の形態 8 に係る半導体装置の平面図である。

【図 2 0】 同実施の形態において、図 1 9 に示す半導体装置の一の等価回路を示す図である。

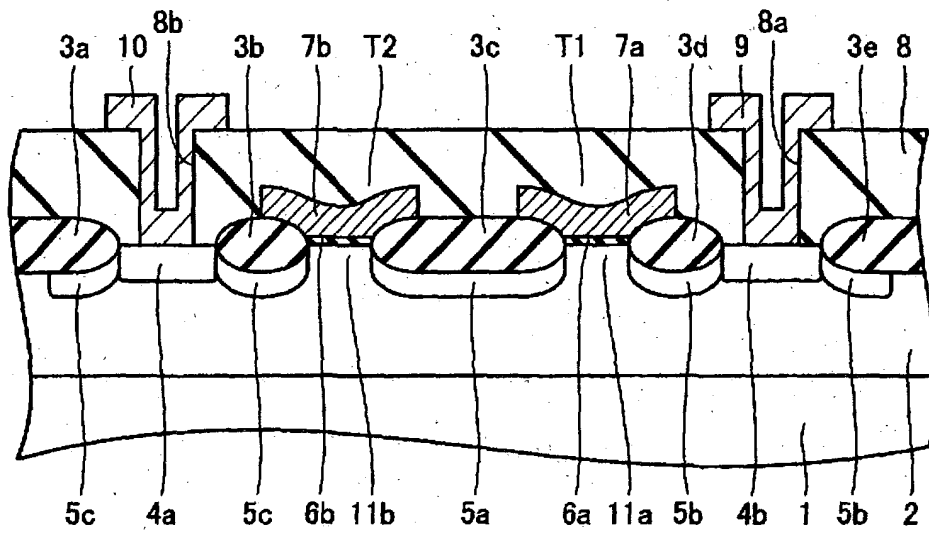
【図 2 1】 同実施の形態において、図 1 9 に示す半導体装置の他の等価回路を示す図である。

【符号の説明】

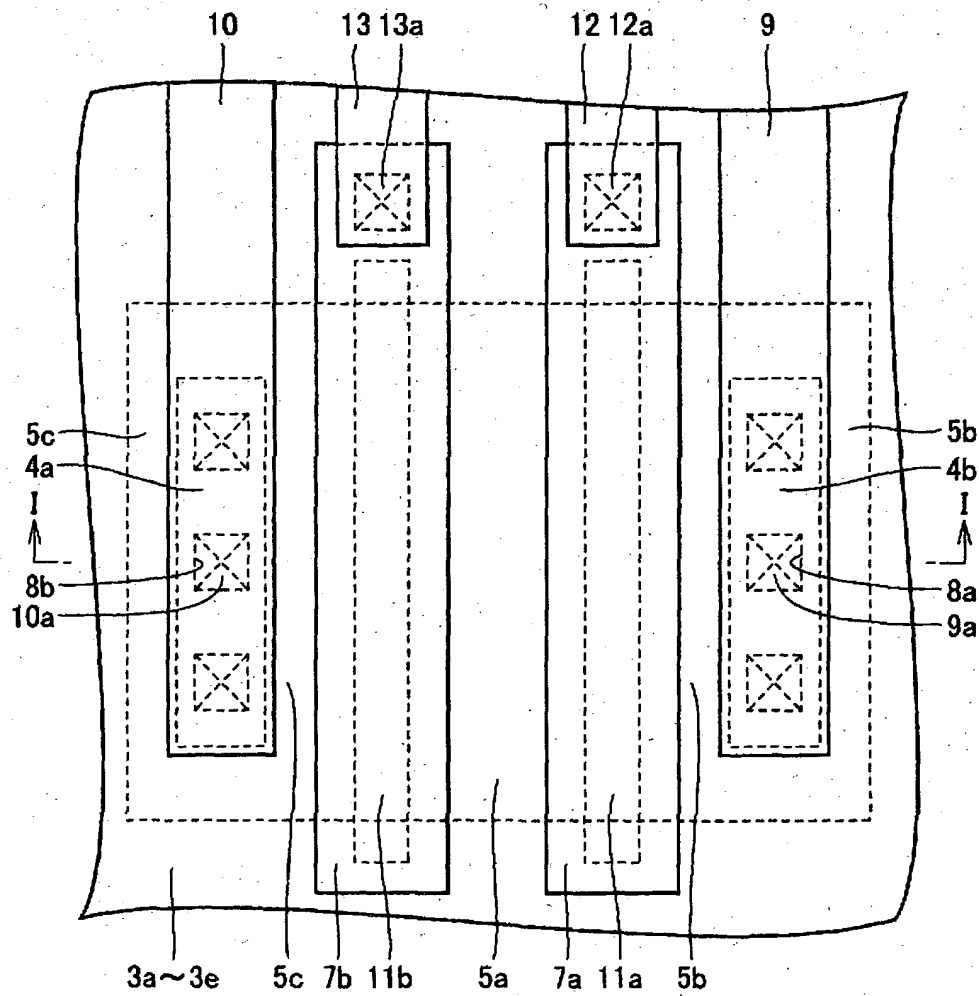
1 半導体基板、2 ウェル、3 a ~ 3 e 素子分離絶縁膜、4 a ドレイン領域、4 b ソース領域、4 c, 4 d ソース・ドレイン領域、5 a ソース・ドレイン領域、5 b ソース電界緩和層、5 c ドレイン電界緩和層、5 d, 5 e ソース・ドレイン電界緩和層、6 a, 6 b, 6 c ゲート絶縁膜、7 a ~ 7 d ゲート電極、7 e 電極、8 シリコン酸化膜、8 a ~ 8 d コンタクトホール、9, 1 0, 1 2, 1 3, 1 4, 1 5, 1 6 アルミニウム配線、9 a, 1 0 a, 1 2 a, 1 3 a, 1 4 a, 1 5 a, 1 6 a コンタクト部、1 1 a, 1 1 b, 1 1 c チャネル領域。

【書類名】 図面

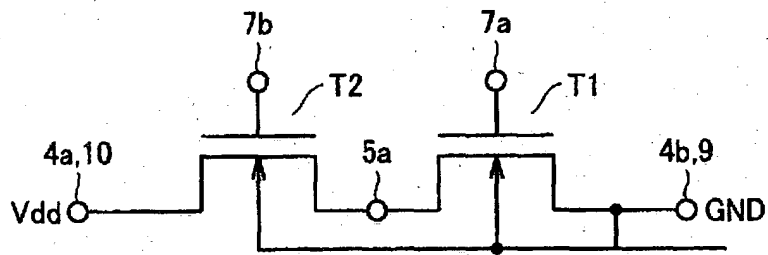
【図1】



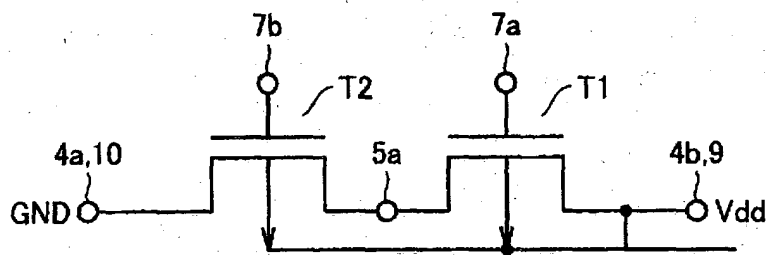
【図2】



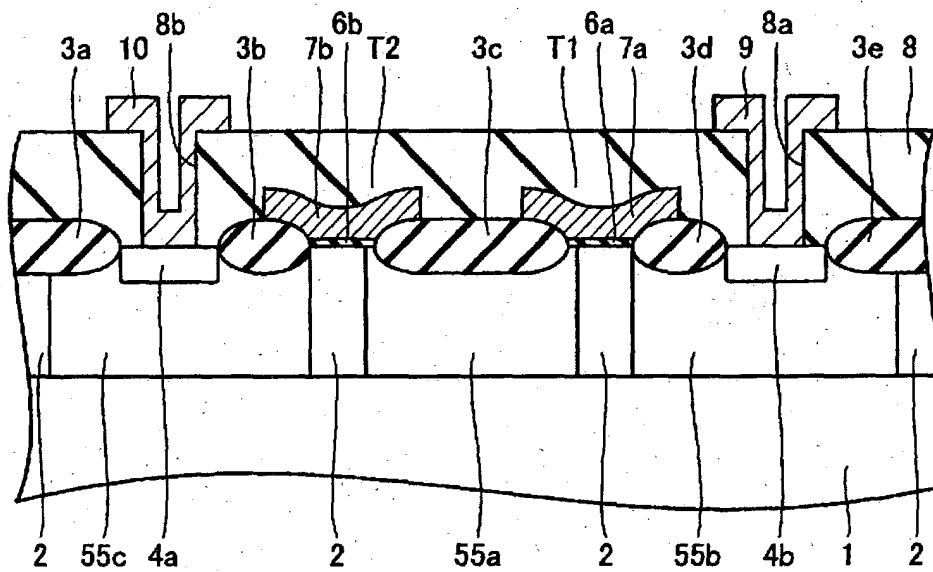
【図 3】



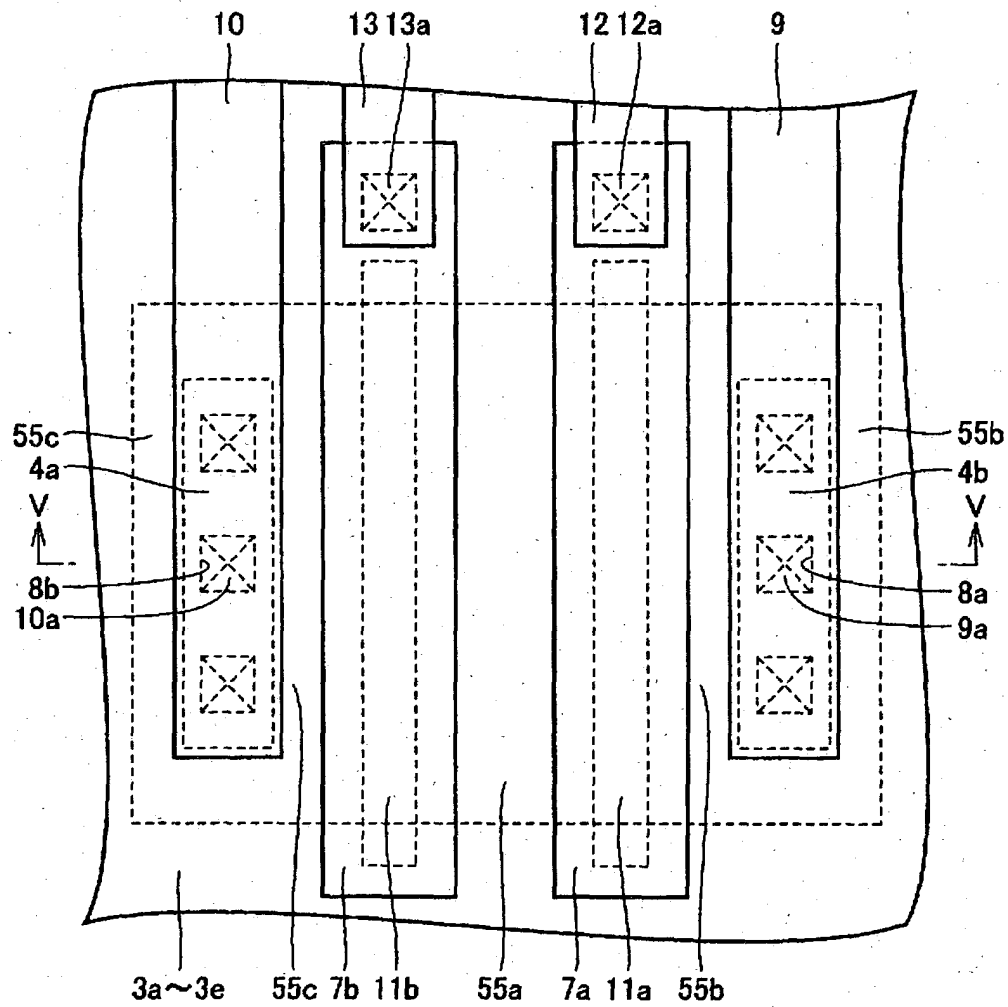
【図 4】



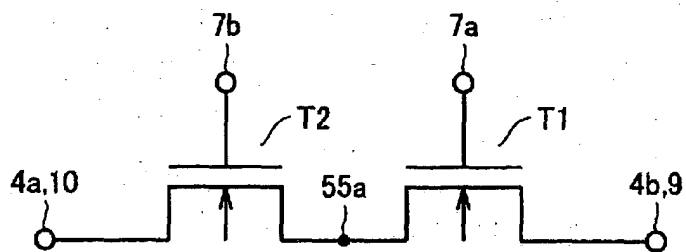
【図 5】



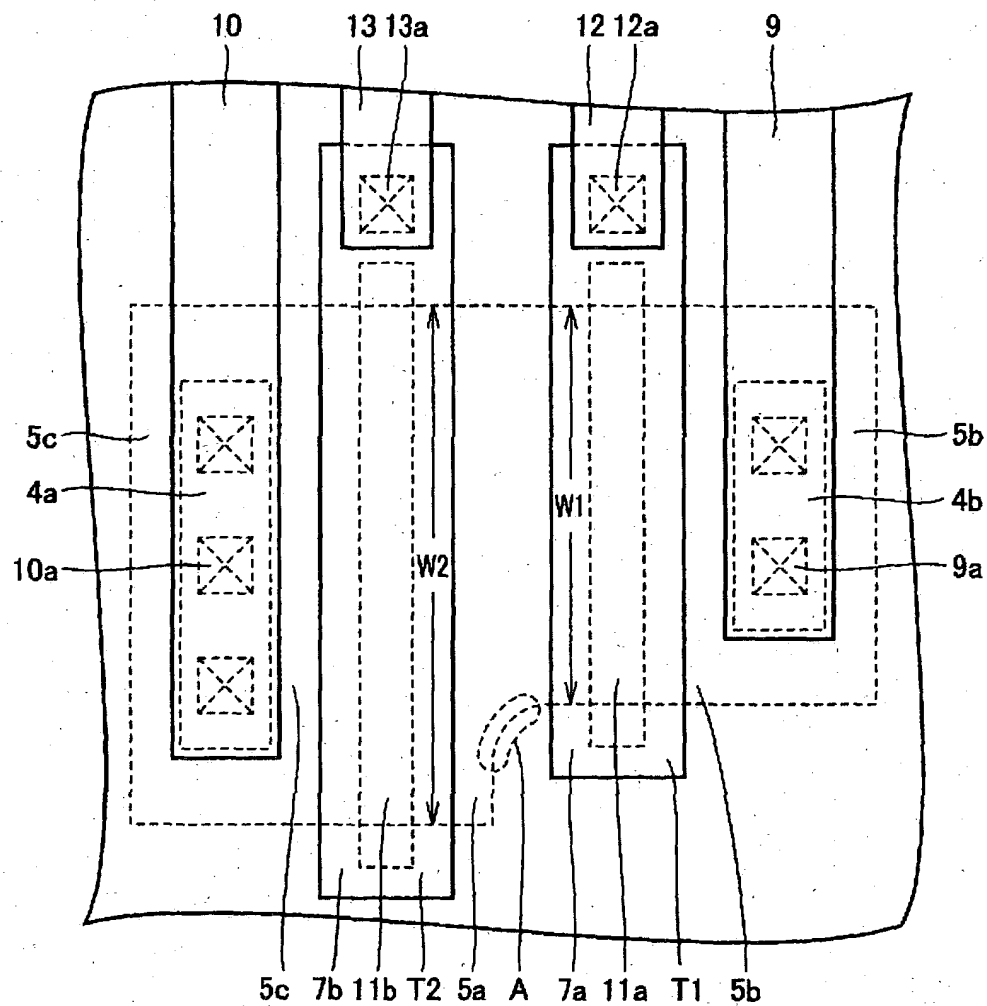
【図 6】



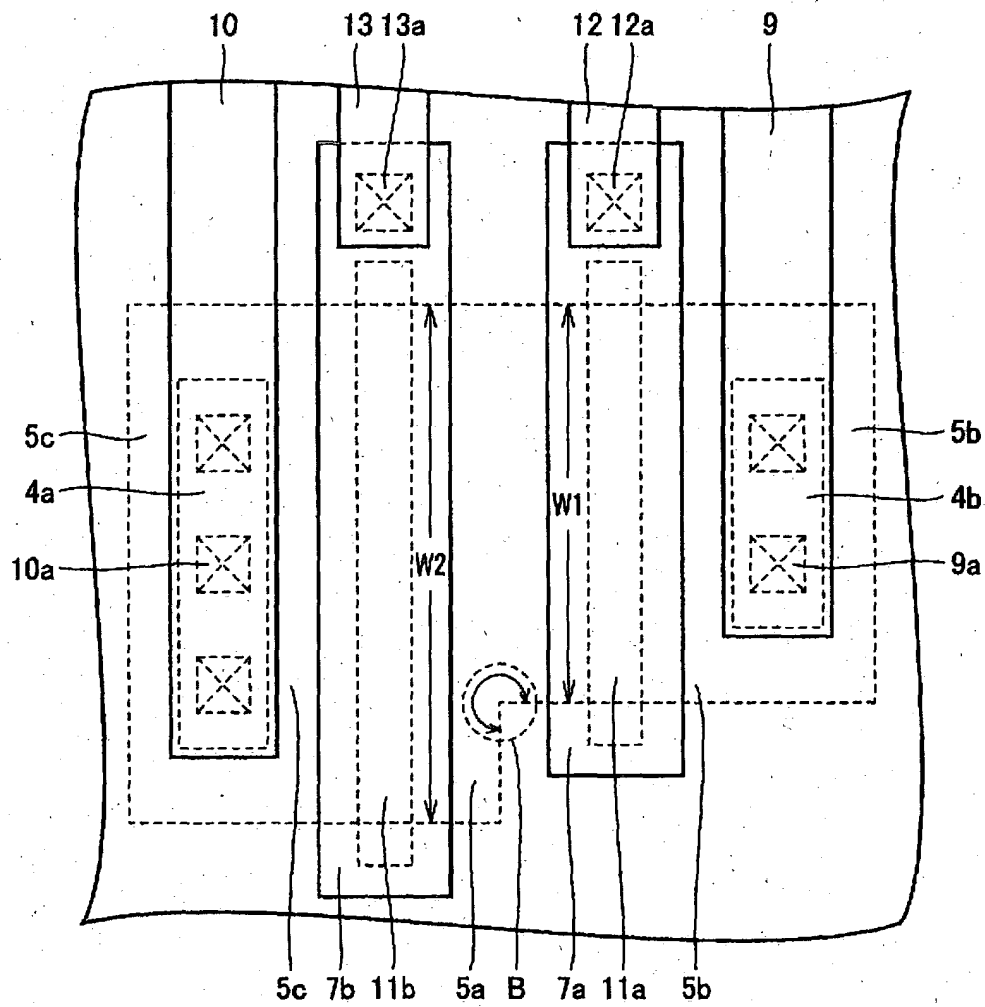
【図 7】



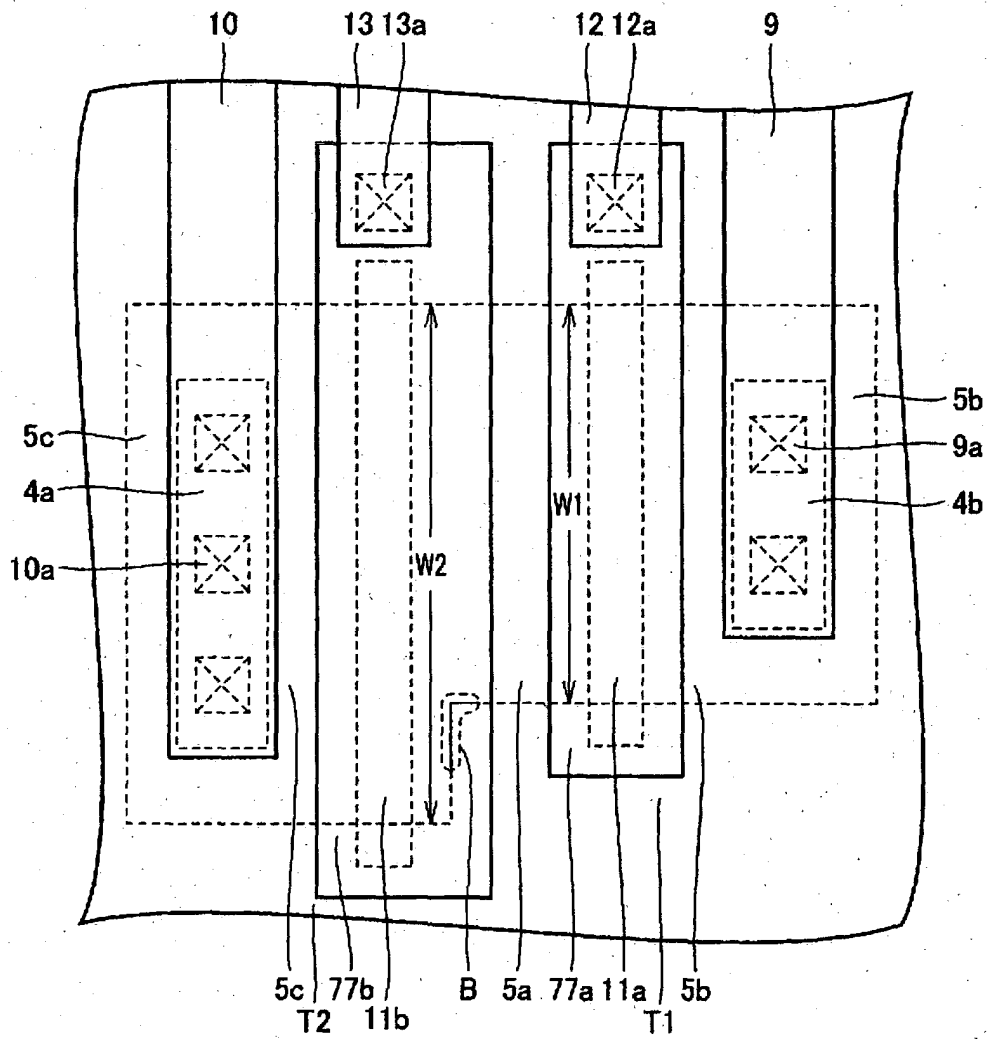
【图 8】



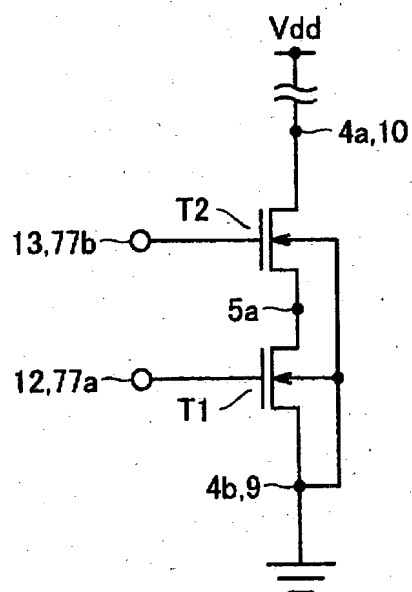
【図9】



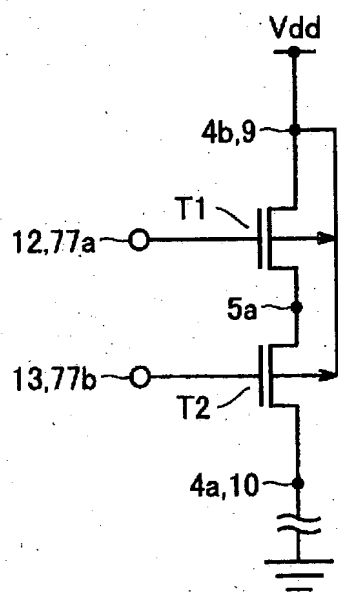
【図10】



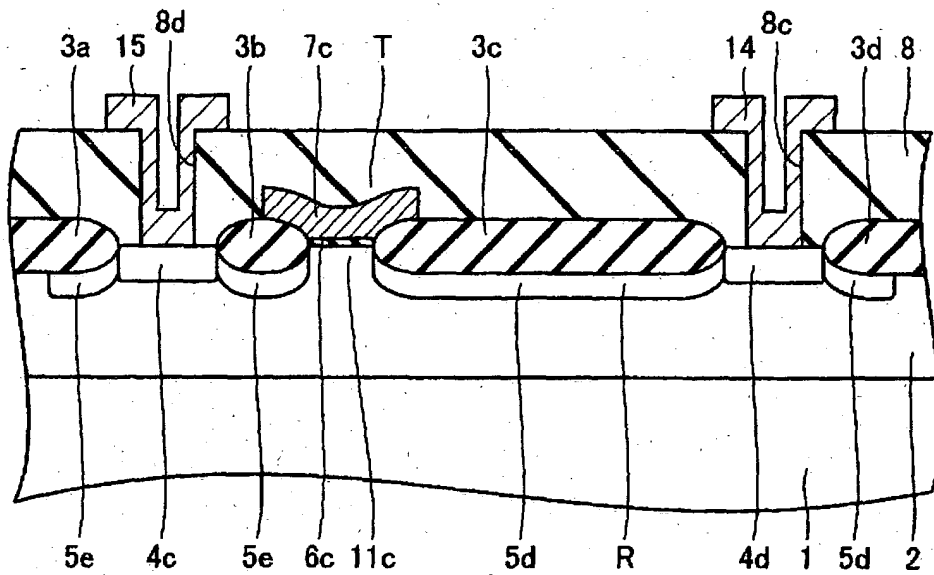
【図 1 1】



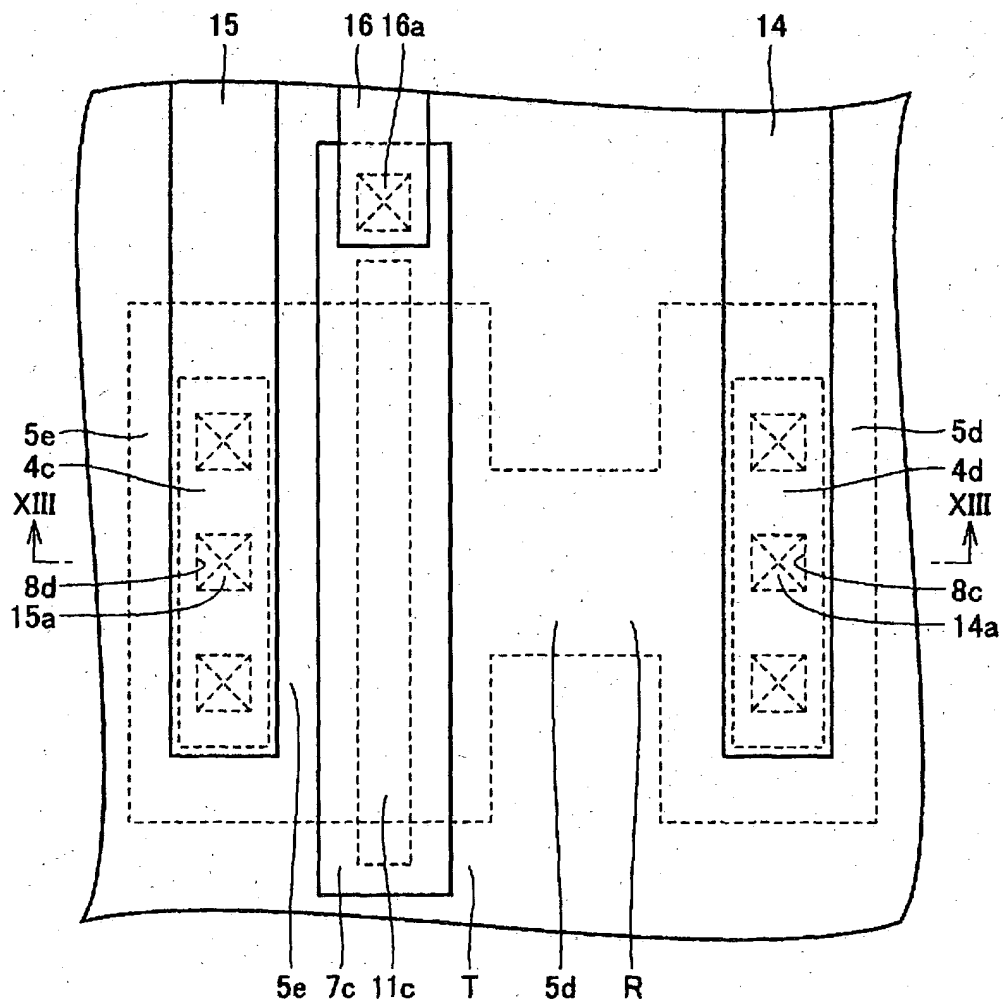
【図 1 2】



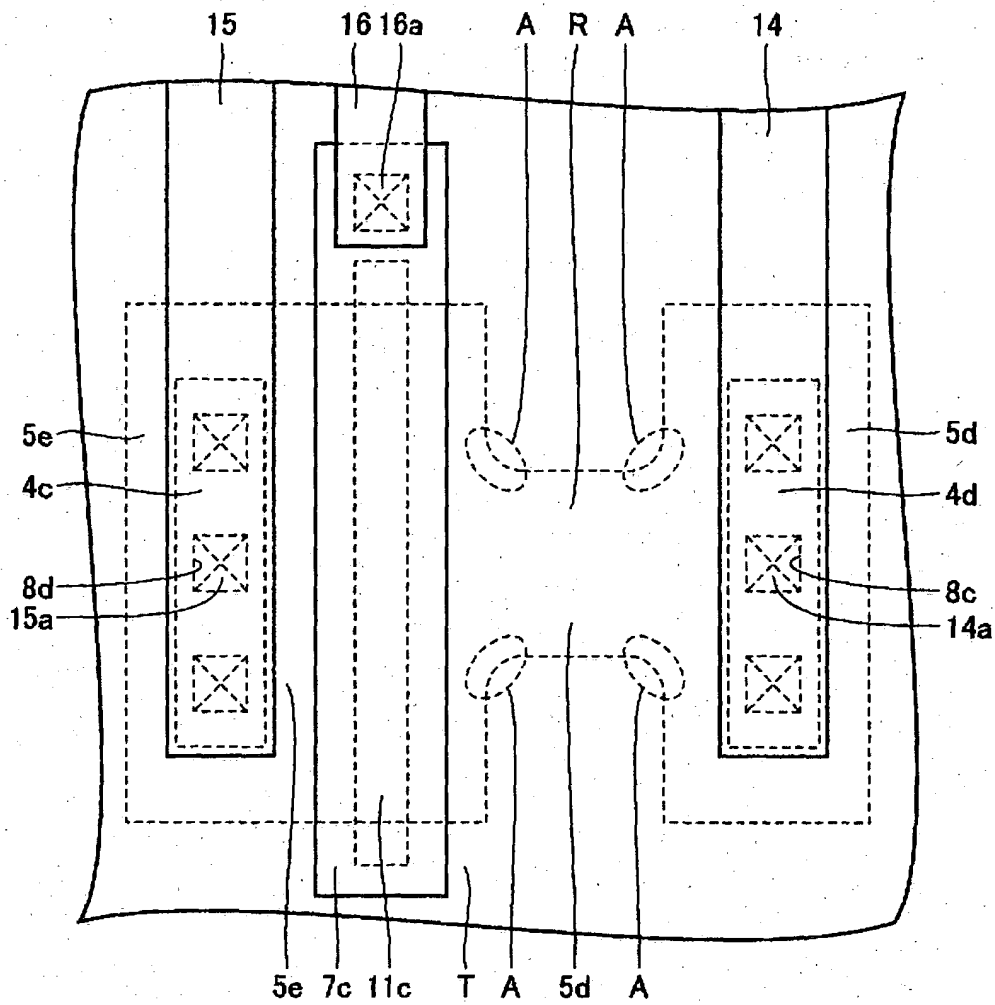
【図13】



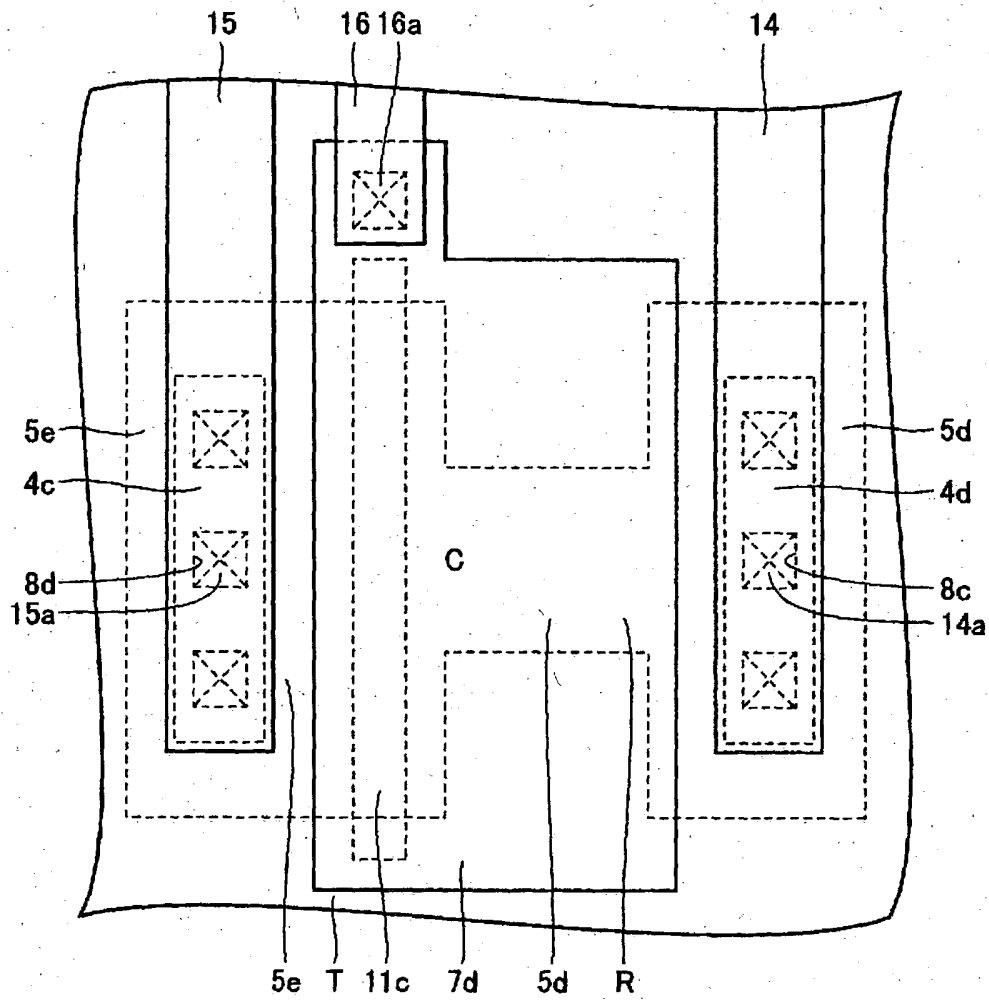
【図14】



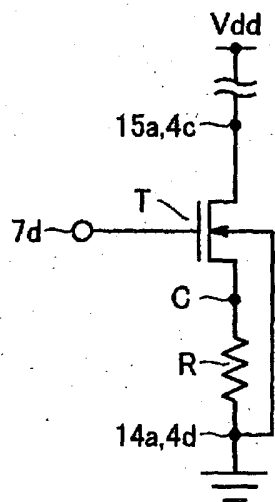
【図15】



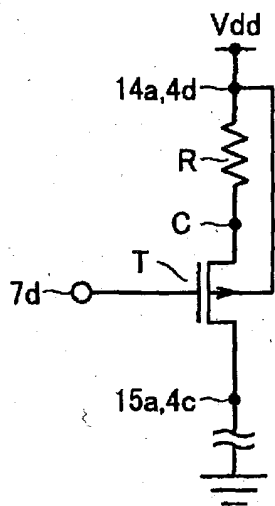
【図 1 6】



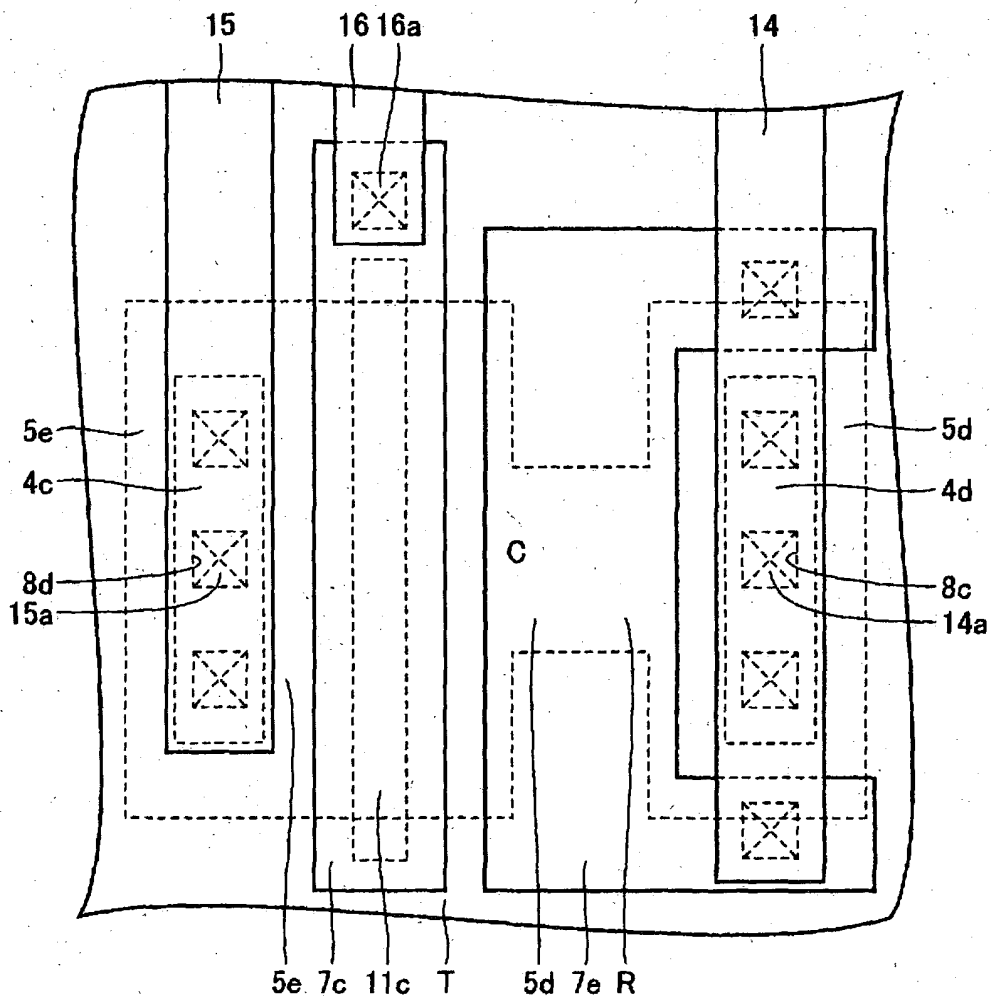
【図 1 7】



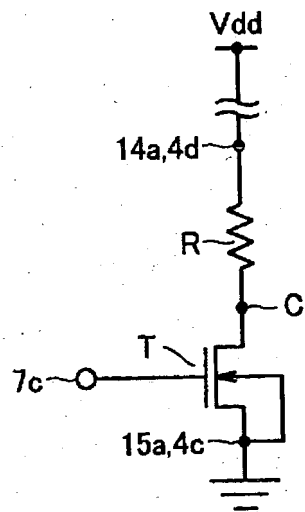
【図 18】



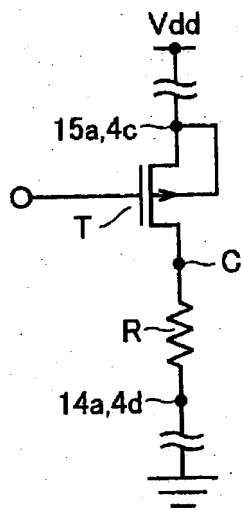
【図 19】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 高耐圧MOSトランジスタを含む素子の直列接続において、パターンレイアウトの面積の増大が抑制される半導体装置を提供する。

【解決手段】 半導体基板1上にウェル2が形成されている。そのウェル2には、ゲート電極7a、ソース領域4b、ソース電界緩和層5bおよびソース・ドレイン領域5aを含む一のMOSトランジスタT1と、ゲート電極7b、ドレイン領域4a、ドレイン電界緩和層5cおよびソース・ドレイン領域5aを含む他のMOSトランジスタT2とがそれぞれ形成されている。一のMOSトランジスタT1と他のMOSトランジスタT2とは、両トランジスタに共通のソース・ドレイン領域5aを介して直列に接続されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社